



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0042059
Application Number PATENT-2002-0042059

출원 년 월 일 : 2002년 07월 18일
Date of Application JUL 18, 2002

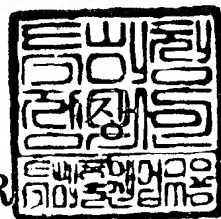
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 01 월 15 일

특 허 청

COMMISSIONER



【서류명】 특허출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 0067

【제출일자】 2002.07.18

【국제특허분류】 H01L

【발명의 명칭】 마그네틱 램의 제조방법

【발명의 영문명칭】 A method for manufacturing of a Magnetic random access memory

【출원인】

【명칭】 주식회사 하이닉스반도체

【출원인코드】 1-1998-004569-8

【대리인】

【성명】 이후동

【대리인코드】 9-1998-000649-0

【포괄위임등록번호】 1999-058167-2

【대리인】

【성명】 이정훈

【대리인코드】 9-1998-000350-5

【포괄위임등록번호】 1999-054155-9

【발명자】

【성명의 국문표기】 이승석

【성명의 영문표기】 LEE, Seaung Suk

【주민등록번호】 590307-1482516

【우편번호】 467-020

【주소】 경기도 이천시 관고동 두산아파트 103동 1604호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
이후 동 (인) 대리인
이정훈 (인)

【수수료】

【기본출원료】	11 면	29,000 원
【가상출원료】	0 면	0 원

1020020042059

출력 일자: 2003/1/16

【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	29,000 원	
【첨부서류】	1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 마그네틱 램 (magnetic RAM, 이하에서 MRAM 이라 함) 의 제조방법에 관한 것으로, 특히 MTJ 셀의 터널 장벽층인 알루미나 박막의 두께에 따른 저항 변화가 심한 것을 방지하기 위하여 반도체 박막을 터널 장벽층으로 하고 상기 반도체 박막의 불순물 농도를 조절하여 소자의 공정 마진을 확보함으로써 소자의 수율, 생산성, 특성 및 신뢰성을 향상시키고 그에 따른 소자의 고집적화를 가능하게 하는 기술이다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

마그네틱 램의 제조방법{A method for manufacturing of a Magnetic random access memory}

【도면의 간단한 설명】

도 1 은 종래기술에 따른 마그네틱 램의 MTJ 셀 구조를 도시한 단면도.

도 2 및 도 3 은 MTJ 셀의 특성 변화를 도시한 그래프.

도 4 는 본 발명의 실시예에 따른 마그네틱 램의 MTJ 셀 구조를 도시한 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

11,31 : 하부절연층 13,33 : 연결층

15,35 : 고정자화층 17,37 : 터널 장벽층

19,39 : 자유 자화층 21,41 : Ta 막

23,43 : Ru 막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 마그네틱 램 (magnetic RAM, 이하에서 MRAM 이라 함) 의 제조방법에 관한 것으로, 특히 SRAM 보다 빠른 속도, DRAM 과 같은 집적도 그리고 플래쉬 메모리 (flash memory) 와 같은 비휘발성 메모리의 특성을 갖는 마그네틱 램의 MTJ 셀을 제조하는 기술에 관한 것이다.

- <10> 대부분의 반도체 메모리 제조 업체들은 차세대 기억소자의 하나로 강자성체 물질을 이용하는 MRAM 의 개발을 하고 있다.
- <11> 상기 MRAM 은 강자성 박막을 다층으로 형성하여 각 박막의 자화방향에 따른 전류 변화를 감지함으로써 정보를 읽고 쓸 수 있는 기억소자로서, 자성 박막 고유의 특성에 의해 고속, 저전력 및 고집적화를 가능하게 할뿐만 아니라, 플래쉬 메모리와 같이 비휘발성 메모리 동작이 가능한 소자이다.
- <12> 상기 MRAM 은 스핀이 전자의 전달 현상에 지대한 영향을 미치기 때문에 생기는 거대자기저항 (giant magnetoresistive, GMR) 현상이나 스핀 편극 자기투과 현상을 이용하여 메모리 소자를 구현하는 방법이 있다.
- <13> 상기 거대자기저항 (GMR) 현상을 이용한 MRAM 은, 비자성층을 사이에 둔 두 자성층의 스핀 방향이 같은 경우보다 다른 경우의 저항이 크게 다른 현상을 이용해 GMR 자기 메모리 소자를 구현하는 것이다.
- <14> 상기 스핀 편극 자기투과 현상을 이용한 MRAM 은, 절연층을 사이에 둔 두 자성층에서 스핀 방향이 같은 경우가 다른 경우보다 전류 투과가 훨씬 잘 일어난다는 현상을 이용하여 자기투과 접합 메모리 소자를 구현하는 것이다.
- <15> 상기 MRAM 은 하나의 트랜지스터와 하나의 MTJ 셀, 하나의 다이오드와 하나의 MTJ 셀 그리고 하나의 MTJ 셀로 형성할 수 있다.
- <16> 도 1 은 MRAM 의 MTJ 셀 구조를 도시한 단면도이다.
- <17> 도 1을 참조하면, 반도체기판(도시안됨) 상에 형성된 하부절연층(11)을 형성한다.

- <18> 이때, 상기 하부절연층(11)은 소자분리막(도시안됨), 리드라인인 제1워드라인과 소
오스/드레인이 구비되는 트랜지스터(도시안됨), 그라운드 라인 및 도전층(도시안됨), 라
이트 라인인 제2워드라인(도시안됨)을 형성하고 그 상부를 평탄화시켜 형성한 것이다.
- <19> 그 다음, 상기 도전층에 접속되는 연결층(13)을 Ta 로 형성한다.
- <20> 그리고, 상기 연결층(13)에 접속되는 고정산화층(15)을 형성한다.
- <21> 이때, 상기 고정 산화층(15)은 NiFe, PtMn, CoFe, Ru 및 CoFe 의 적층구조로 형성
한다.
- <22> 그 다음, 상기 고정 산화층(15) 상부에 터널장벽층(17)을 형성한다.
- <23> 이때, 상기 터널장벽층(17)은 데이터 센싱 (data sensing) 에 필요한 최소한의
두께인 2 nm 이하의 두께만큼 알루미나 (Al_2O_3) 로 형성한다.
- <24> 그 다음, 상기 터널 산화막(17) 상부에 자유 산화층(19)을 형성한다.
- <25> 이때, 상기 자유산화층(19)은 CoFe 와 NiFe 의 적층구조로 형성한다.
- <26> 후속공정으로, 상기 자유산화층(19)에 Ta 막(41)와 Ru 막(43)을 증착하여 금속배선
을 형성한다.
- <27> 도 2 는 MTJ 단위 면적당 저항 특성과 소자 구현에 가능한 최소 MTJ 면적과의 상관
관계를 도시한 그래프도이다.
- <28> 도 3 은 터널 장벽층인 알루미나 박막의 두께와 MTJ 단위 면적당 저항 특성의 관계
를 도시한 그래프도이다.

<29> 상기한 바와 같이 종래기술에 따른 마그네틱 램의 제조방법은, 알루미늄을 터널 장벽층으로 형성하여 첨부된 도 2 에서와 같이 MTJ 단위 면적당 저항값이 낮은 수록 보다 더 작은 MTJ를 구현할 수 있어 고밀도의 MRAM을 제조하는데 유리하게 된다.

<30> 그러나, 기존의 알루미늄과 같은 절연막을 터널장벽층으로 이용하는 경우 첨부된 도 3 에서와 같이 알루미늄 박막의 두께 변화에 대한 MTJ 저항(RA)의 변화가 너무 심하기 때문에 소자에서 허용할 수 있는 저항 변화 내에서 허용될 수 있는 알루미늄 박막의 두께 변화가 0.1 nm 이하가 되어야 하는 현재의 공정 마진을 충족하기 어려운 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<31> 본 발명은 상기한 바와 같은 종래기술의 문제점을 해결하기 위하여, 터널장벽층으로 반도체막을 사용하되, 첨가되는 불순물의 양을 조절하여 전기전도도를 조절함으로써 소자의 특성 및 신뢰성을 향상시키는 마그네틱 램의 제조방법을 제공하는데 그 목적을 갖는 발명입니다.

【발명의 구성 및 작용】

<32> 상기 목적 달성을 위해 본 발명에 따른 마그네틱 램의 제조방법은,

<33> 연결층 상부에 고정 자화층을 형성하는 공정과,

<34> 상기 고정 자화층 상부에 반도체 박막으로 터널 장벽층을 형성하는 공정과,

<35> 상기 터널 장벽층 상부에 자유자화층을 형성하는 공정으로 MTJ 셀을 형성하는 것과

<36> 상기 반도체 박막은 4 족의 순수 반도체 박막인 것과,

- <37> 상기 반도체 박막은 4족의 순수 반도체 박막에 B, P, As 와 같이 3 족이나 5 족 원소를 첨가된 것과,
- <38> 상기 반도체 박막은 3 족 원소와 4족 원소를 혼합한 3-5족 반도체 박막인 것을 특징으로 한다.
- <39> 한편, 본 발명의 기술적 원리는 다음과 같다.
- <40> 종래에는 MTJ 셀의 터널 장벽층으로 알루미늄 박막이나 TiO_2 등과 같은 산화막이나 실리콘질화막 등과 같은 질화막과 같은 절연막을 사용하였으나,
- <41> 본 발명은 Si, Ge 와 같은 4 족의 순수 반도체 박막을 이용하거나, 상기 순수 반도체 박막에 B, P, As 와 같이 3 족이나 5 족 원소를 적당량 첨가하여 전기전도도를 조절하여 사용하거나, Ga, In 과 같은 3 족 원소와 As, P 와 같은 4족 원소들을 적당량 혼합한 3-5족 반도체 박막을 이용하여 두께를 2 ~ 20 nm 의 두께로 형성할 수 있도록 함으로써 터널 장벽층을 형성하는 공정마진을 확보하여 반도체소자의 생산성 및 수율을 향상시키고 그에 따른 반도체소자의 고집적화를 가능하게 한다.
- <42> 이하 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하면 다음과 같다.
- <43> 도 4 는 본 발명의 실시예에 따른 마그네틱 램의 MTJ 셀을 도시한 단면도이다.
- <44> 도 4를 참조하면, 반도체기판(도시안됨) 상에 형성된 하부절연층(31)을 형성한다.
- <45> 이때, 상기 하부절연층(31)은 소자분리막(도시안됨), 리드라인인 제1워드라인과 소오스/드레인이 구비되는 트랜지스터(도시안됨), 그라운드 라인 및 도전층(도시안됨), 라이트 라인인 제2워드라인(도시안됨)을 형성하고 그 상부를 평탄화시켜 형성한 것이다.
- <46> 그 다음, 상기 도전층에 접속되는 연결층(33)을 Ta 로 형성한다.



- <47> 그리고, 상기 연결층(33)에 접속되는 고정자화층(35)을 형성한다.
- <48> 이때, 상기 고정 자화층(35)은 NiFe, PtMn, CoFe, Ru 및 CoFe 의 적층구조로 형성한다.
- <49> 그 다음, 상기 고정 자화층(35) 상부에 터널장벽층(37)을 형성한다.
- <50> 이때, 상기 터널장벽층(37)은 2 ~ 20 nm 두께로 형성한다.
- <51> 그리고, 상기 터널 장벽층(37)은 4 족의 순수 반도체 박막으로 형성하거나, 상기 순수 반도체 박막에 B, P, As 와 같이 3 족이나 5 족 원소를 적당량 첨가하여 형성함으로써 전기전도도를 조절하여 사용하거나, Ga, In 과 같은 3 족 원소와 As, P 와 같은 4 족 원소들을 적당량 혼합한 3-5족 반도체 박막으로 형성한 것이다.
- <52> 그 다음, 상기 터널 산화막(37) 상부에 자유 자화층(39)을 형성한다.
- <53> 이때, 상기 자유자화층(39)은 CoFe 와 NiFe 의 적층구조로 형성한다.
- <54> 후속공정으로, 상기 자유자화층(39)에 Ta 막(41)과 Ru 막(43)을 증착하여 금속배선을 형성한다.

【발명의 효과】

- <55> 이상에서 설명한 바와 같이 본 발명에 따른 마그네틱 램의 제조방법은,
- <56> 종래의 터널 장벽층에 비하여 1 ~ 10 배 두꺼운 터널 장벽층의 전기전도도를 불순물 농도로 조절할 수 있는 MTJ 셀을 형성함으로써 공정마진을 확보할 수 있어 소자의 특성 및 신뢰성을 향상시키고 소자의 수율 및 생산성을 향상시킬 수 있으며 그에 따른 소자의 고집적화를 가능하게 하는 효과를 제공한다.

【특허청구범위】**【청구항 1】**

연결층 상부에 고정 자화층을 형성하는 공정과,
상기 고정 자화층 상부에 반도체 박막으로 터널 장벽층을 형성하는 공정과,
상기 터널 장벽층 상부에 자유자화층을 형성하는 공정으로 MTJ 셀을 형성하는 것을
특징으로 하는 마그네틱 램의 제조방법.

【청구항 2】

제 1 항에 있어서,
상기 반도체 박막은 4 족의 순수 반도체 박막인 것을 특징으로 하는 마그네틱 램의
제조방법.

【청구항 3】

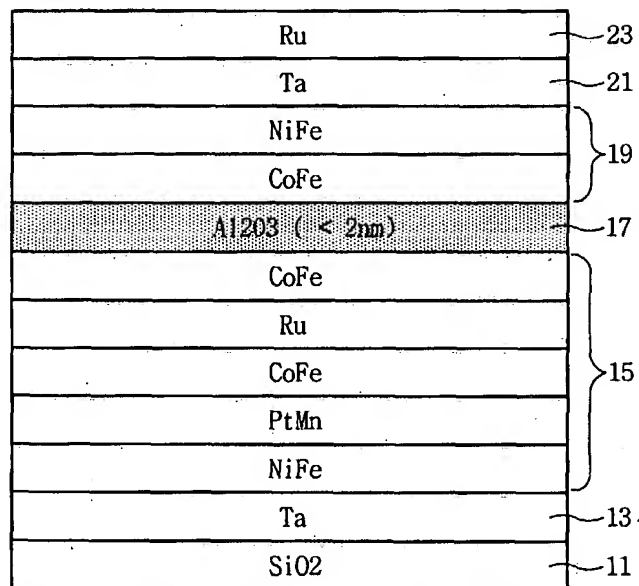
제 1 항에 있어서,
상기 반도체 박막은 4족의 순수 반도체 박막에 B, P, As 와 같이 3 족이나 5 족 원
소를 첨가된 것을 특징으로 하는 마그네틱 램의 제조방법.

【청구항 4】

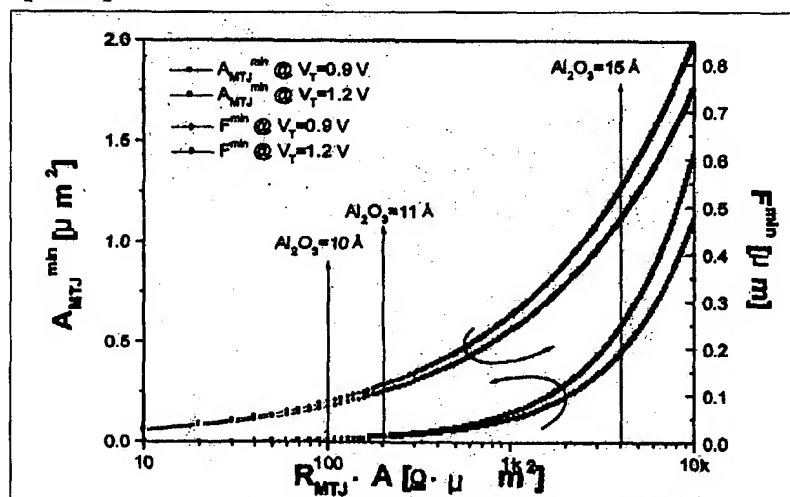
제 1 항에 있어서,
상기 반도체 박막은 3 족 원소와 4족 원소를 혼합한 3-5족 반도체 박막인 것을 특
징으로 하는 마그네틱 램의 제조방법.

【도면】

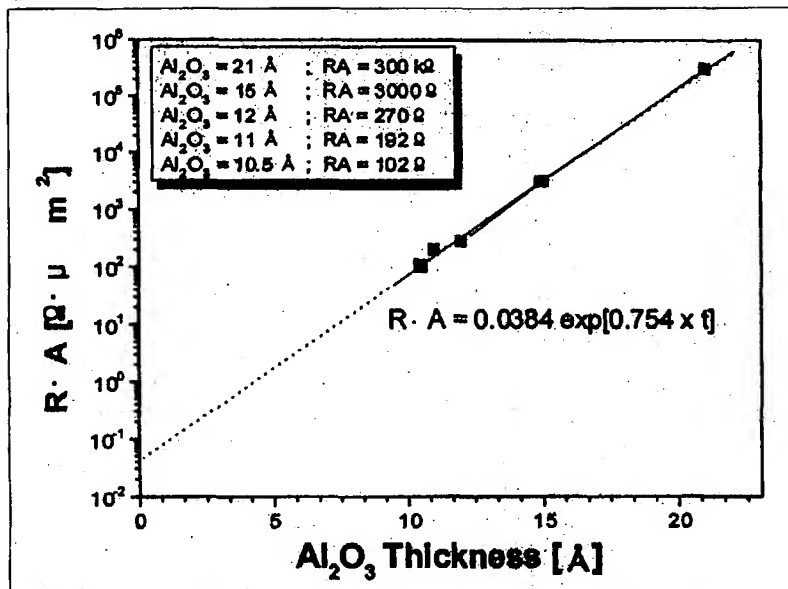
【도 1】



【도 2】



【도 3】



【도 4】

Ru	43
Ta	41
NiFe	39
CoFe	
Si or Ge (2nm ~ 20nm)	37
CoFe	35
Ru	
CoFe	
PtMn	
NiFe	33
Ta	
SiO2	31